

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年11月19日
Date of Application:

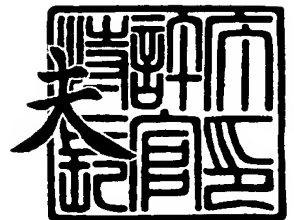
出願番号 特願2003-389516
Application Number:
[ST. 10/C]: [JP 2003-389516]

出願人 富士通株式会社
Applicant(s):

2003年12月11日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3103081



【書類名】 特許願
【整理番号】 0340854
【提出日】 平成15年11月19日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H03F 3/45
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
 内
 【氏名】 工藤 真大
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
 内
 【氏名】 後藤 邦彦
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100077517
 【弁理士】
 【氏名又は名称】 石田 敬
 【電話番号】 03-5470-1900
【選任した代理人】
 【識別番号】 100092624
 【弁理士】
 【氏名又は名称】 鶴田 準一
【選任した代理人】
 【識別番号】 100100871
 【弁理士】
 【氏名又は名称】 土屋 繁
【選任した代理人】
 【識別番号】 100082898
 【弁理士】
 【氏名又は名称】 西山 雅也
【選任した代理人】
 【識別番号】 100081330
 【弁理士】
 【氏名又は名称】 樋口 外治
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 65334
 【出願日】 平成15年 3月11日
【手数料の表示】
 【予納台帳番号】 036135
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0305916

【書類名】 特許請求の範囲**【請求項 1】**

全差動増幅器の同相モードの動作点を規定する制御電圧を出力する同相帰還回路であって、

前記全差動増幅器の 2 つの出力端における電圧を分圧する分圧回路と、

前記分圧回路の出力電圧と基準電圧とを入力とする差動増幅器とを備え、該差動増幅器の出力電圧を前記全差動増幅器の制御電圧としたことを特徴とする同相帰還回路。

【請求項 2】

請求項 1 に記載の同相帰還回路において、

前記差動増幅器の出力電圧は、任意の符号で増幅または減衰されることを特徴とする同相帰還回路。

【請求項 3】

請求項 2 に記載の同相帰還回路において、

前記差動増幅器の増幅率の符号は、前記全差動増幅器の制御電圧に対する出力同相電圧の伝達関数より、回路の同相モードの帰還系が負帰還系となるように選ばれることを特徴とする同相帰還回路。

【請求項 4】

請求項 1 に記載の同相帰還回路において、前記分圧回路は、

前記全差動増幅器の 2 つの出力端を分圧する 2 つのインピーダンス回路と、

該インピーダンス回路で分圧された中点とそれぞれ固定電圧との間に接続される 1 つ以上の容量素子を備えることを特徴とする同相帰還回路。

【請求項 5】

請求項 4 に記載の同相帰還回路において、

前記インピーダンス回路は、並列接続された抵抗素子および容量素子を備えることを特徴とする同相帰還回路。

【請求項 6】

請求項 4 に記載の同相帰還回路において、前記インピーダンス回路は、前記分圧回路と同等の構成を有し、前記差動増幅器と前記基準電圧の入力端との間に挿入されることを特徴とする同相帰還回路。

【請求項 7】

請求項 4 に記載の同相帰還回路において、前記インピーダンス回路は、前記分圧回路と同等のインピーダンスを示すように構成され、前記差動増幅器と前記基準電圧の入力端との間に挿入されることを特徴とする同相帰還回路。

【請求項 8】

請求項 4 に記載の同相帰還回路において、

同相モードのループ伝達関数における第 1 の極は、前記分圧回路のインピーダンス回路と前記容量素子に起因する極が支配的な要因となっていることを特徴とする同相帰還回路。

【請求項 9】

請求項 4 に記載の同相帰還回路において、同相モードのループ伝達関数における第 1 の零点は、前記分圧回路に起因する零点が支配的な要因となっており、単位利得周波数の近傍またはより低周波側に位置していることを特徴とする同相帰還回路。

【請求項 10】

全差動増幅器と、請求項 1～9 のいずれか 1 項に記載の同相帰還回路とを備えることを特徴とする差動演算増幅回路。

【書類名】 明細書

【発明の名称】 同相帰還回路および差動演算増幅回路

【技術分野】

【0001】

本発明は同相帰還回路および差動演算増幅回路に関し、特に、全差動増幅器の同相モード（コモンモード）の動作点を規定する制御電圧を出力する同相帰還回路に関する。

【背景技術】

【0002】

従来、全差動増幅器の同相モードの動作点を規定する制御電圧を出力する同相帰還回路が提案されている。すなわち、全差動増幅器は、入力差動電圧を出力差動電圧として増幅する回路であるが、出力同相電圧を制御するための同相帰還回路が必要である。この同相帰還回路は、全差動増幅器の非反転出力（正論理出力）および反転出力（負論理出力）を入力電圧とし、全差動増幅器の同相モードの動作点を制御するための制御電圧を発生する。

【0003】

従来、同相帰還回路として、全差動増幅器の出力を、分圧回路を介して差動増幅器に入力し、その差動増幅器の出力を全差動増幅器にフィードバックするものが知られている（例えば、特許文献1参照）。また、従来、全差動増幅器の出力（差動出力）を、2個のバッファ回路で受け、そのバッファ回路の出力を分圧回路で分圧して中点電位を得るようにした同相帰還回路（差動演算増幅回路）も提案されている（例えば、特許文献2参照）。

【0004】

さらに、従来、全差動増幅器の同相信号を正確に所望の電位に固定すると共に、十分高い同相帰還利得を得ることのできる同相帰還回路も提案されている（例えば、特許文献3参照）。また、従来、負荷容量を増加させることなく安定化を図る同相帰還回路も提案されている（例えば、特許文献4参照）。さらにまた、従来、少ない素子数で回路構成を簡略化した同相帰還回路も提案されている（例えば、特許文献5参照）。

【0005】

【特許文献1】 特開昭61-109309号公報（図5）

【特許文献2】 特許第2884896号公報（図1，図3）

【特許文献3】 特開平6-232654号公報

【特許文献4】 特開平7-7340号公報

【特許文献5】 特開平7-273567号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

近年、全差動増幅器の構成として、非常に大きい出力インピーダンスを示すカスコード型の出力段をもつ増幅器が広く用いられており、これにより非常に大きい直流利得を実現している。このような増幅器に用いる同相帰還回路には、高い入力インピーダンスが要求されている。

【0007】

図1は、従来の同相帰還回路（差動演算増幅回路）の一例を示す回路図である。図1において、参照符号101は同相帰還回路、102は全差動増幅器、103は分圧回路、そして、104は差動増幅器を示している。また、参照符号IPおよびIMは全差動増幅器102の差動（相補）の入力端子、OPおよびOMは全差動増幅器102の差動の出力端子、そして、NPおよびNMは差動増幅器104の差動の入力ノードを示している。

【0008】

図1に示されるように、同相帰還回路101は、分圧回路103および差動増幅器104を備え、そして、分圧回路103は、抵抗素子131および132を備えている。差動増幅器104は、ゲートとドレインが共通接続されたpチャネル型MOSトランジスタ（pMOSトランジスタ）1411および1412で構成された能動負荷141と、nチャ

ネル型MOSトランジスタ（nMOSトランジスタ）1421および1422で構成された差動対142と、定電流源143とを備えている。ここで、分圧回路103の出力は、差動対142のトランジスタ1421のゲート（ノードNP）に入力され、また、差動対142のトランジスタ1422のゲート（ノードNM）には、基準電圧Vrefが与えられるようになっている。

【0009】

上記の同相帰還回路101において、入力インピーダンスを大きくするために分圧回路103の抵抗素子131および132の抵抗値を大きく設定すると、同相モードの帰還系の位相余裕が小さくなって回路が不安定になる。また、同相モードの帰還系の位相余裕を大きくするために、全差動増幅器102の出力端子OPおよびOMに固定電位（低電位電源電圧Vss）に対する負荷容量151および152を接続すると、この負荷容量151、152は差動モードの負荷容量としても機能するため、回路の差動モードの高速動作を妨げることになる。

【0010】

図2は従来の同相帰還回路の他の例を示す回路図である。図2にいて、参照符号106はバッファ回路を示している。

【0011】

図2に示す従来の同相帰還回路は、高い入力インピーダンスを実現するために、全差動増幅器102の出力電圧を一旦バッファ回路106で受けた後、そのバッファ回路106の出力を用いて同相帰還回路101を構成するものである。

【0012】

すなわち、図2に示されるように、バッファ回路106は、全差動増幅器102の差動の出力（OP、OM）をゲートで受け取るpMOSトランジスタ161、162、定電流源163、164、および、抵抗素子165、166を備えている。トランジスタ161および162並びに定電流源163および164は、高電位電源線（Vdd）と低電位電源線（Vss）との間にそれぞれ直列に接続され、各トランジスタ161、162と定電流源163、164との接続ノードが抵抗素子165、166を介して合成され、差動対142のnMOSトランジスタ1421のゲート（ノードNP）に入力されるようになっている。なお、差動対142のトランジスタ1422のゲート（ノードNM）には、基準電圧Vrefが与えられるようになっている。

【0013】

この図2に示す従来の同相帰還回路は、回路の安定性に関する課題を解決すると共に、比較的高速に動作させることができるが、バッファ回路106を使用するために消費電力が増大するという新たな問題が生じる。さらに、同相帰還回路101の入力の電圧範囲は、バッファ回路106が正常に動作する範囲でなければならない。すなわち、全差動増幅器102の出力（OP、OM）の電圧範囲は、バッファ回路106が許容する入力電圧範囲に制限されるため、全差動増幅器102の差動振幅を制限する必要があり、回路のダイナミックレンジを低下させることになる。

【0014】

なお、全差動増幅器の出力を同相帰還回路のトランジスタのゲートへ直接入力するような構成に関しては、上述した図2の従来例と同様に、全差動増幅器の出力電圧範囲はこれを入力とする同相帰還回路が許容する入力電圧範囲に制限されることになる。

【0015】

このように、近年、全差動増幅器の構成として、大きい出力インピーダンスを示すカスコード型の出力段をもつ増幅器が用いられており、同相帰還回路には高い入力インピーダンスが要求されている。そこで、分圧に用いるインピーダンス素子の抵抗値を大きく設定しても、差動モードの高速動作が妨げられることがなく、同相モードの帰還系の安定性を確保することができる同相帰還回路の提供が要望されている。

【0016】

本発明は、上述した従来の同相帰還回路が有する課題に鑑み、入力電圧範囲が広く、安

定かつ低消費電力の同相帰還回路（差動演算増幅回路）の提供を目的とする。

【課題を解決するための手段】

【0017】

本発明によれば、全差動増幅器の同相モードの動作点を規定する制御電圧を出力する同相帰還回路であって、前記全差動増幅器の2つの出力端における電圧を分圧する分圧回路と、前記分圧回路の出力電圧と基準電圧とを入力とする差動増幅器とを備え、該差動増幅器の出力電圧を前記全差動増幅器の制御電圧としたことを特徴とする同相帰還回路が提供される。

【0018】

また、本発明によれば、全差動増幅器と、該全差動増幅器の同相モードの動作点を規定する制御電圧を出力する同相帰還回路とを備える差動演算増幅回路であって、前記全差動増幅器の2つの出力端における電圧を分圧する分圧回路と、前記分圧回路の出力電圧と基準電圧とを入力とする差動増幅器とを備え、該差動増幅器の出力電圧を前記全差動増幅器の制御電圧としたことを特徴とする差動演算増幅回路が提供される。

【0019】

すなわち、全差動増幅器の2つの出力（差動出力）端子間の電圧は、インピーダンス回路により分圧され、また、インピーダンス回路の midpoint には、固定電位との間に容量素子が接続される。そして、midpoint が示す同相電圧と基準電圧とを比較する差動対の出力電流は、能動負荷により電圧に変換されて全差動増幅器の制御電圧として与えられる。

【0020】

これにより、分圧に用いるインピーダンス素子の抵抗値を大きく設定しても、差動モードの高速動作が妨げられることがなく、同相モードの帰還系の安定性を確保することができる。このとき、同相帰還回路における差動対の入力電圧は、インピーダンス素子による分圧回路が検出する同相電圧が帰還により収束する電圧となっており、ほぼ基準電圧に保たれている。そのため、差動対を全差動増幅器の差動振幅によらず正常に動作させることができ、同相帰還回路の入力電圧範囲は差動対により制限されることがなく、全差動増幅回路の出力電圧範囲を広くとることができる。

【0021】

また、インピーダンス回路を、抵抗素子および容量素子の並列回路により構成することで、同相モードの帰還系の安定性を確保すると共に、同相モードの動作をより高速に動作させることができる。

【0022】

さらに、分圧回路と同等の構成を有するか、或いは、分圧回路と同等のインピーダンスを示すように構成されたインピーダンス回路を、差動増幅器と基準電圧の入力端との間に挿入することにより、電源雑音に対する耐性を高めることができる。

【発明の効果】

【0023】

以上、詳述したように、本発明によれば、入力電圧範囲が広く、安定かつ低消費電力の同相帰還回路（差動演算増幅回路）を提供することができる。

【発明を実施するための最良の形態】

【0024】

以下、本発明に係る同相帰還回路（差動演算増幅回路）の各実施例を、添付図面を参照して詳述する。

【実施例1】

【0025】

図3は本発明に係る同相帰還回路の第1実施例を示す回路図である。図3において、参照符号1は同相帰還回路、2は全差動増幅器、3は分圧回路、そして、4は差動増幅器を示している。

【0026】

図3に示されるように、同相帰還回路1は、分圧回路3および差動増幅器4を備え、そ

して、分圧回路 3 は、インピーダンス素子 31, 32 および容量素子 33 (34) を備えている。全差動増幅器 2 の正論理出力 OP は、インピーダンス素子 31 を介して差動増幅器 4 の正論理入力端子 NP に供給され、また、全差動増幅器 2 の負論理出力 OM は、インピーダンス素子 32 を介して差動増幅器 4 の正論理入力端子 NP に供給されている。なお、参照符号 51 および 52 は、全差動増幅回路 2 が駆動する負荷容量を示している。

【0027】

インピーダンス素子 31 および 32 の共通接続ノード（差動増幅器 4 の正論理入力端子 NP）と低電位電源線 Vss との間には、容量素子 33 が設けられている。ここで、インピーダンス素子 31 および 32 の共通接続ノード（NP）と高電位電源線 Vdd との間に容量素子 34 を設けるように構成してもよい。また、インピーダンス素子 31 および 32 の共通接続ノード（NP）と中間的なバイアス電圧供給線（なお、中間的なバイアス電圧とは、電源電圧を抵抗分割して得られる電圧や、電流源とトランジスタを使用して生成するバイアス電圧等である。）との間に容量素子を設けることもできる。すなわち、インピーダンス回路 31, 32 の分圧された中点（NP）には、それぞれ固定電圧 Vss, Vdd, 或いは、その他のバイアス電圧との間に接続される 1 つ以上の容量素子を設けることができる。

【実施例 2】

【0028】

図 4 は本発明に係る同相帰還回路の第 2 実施例を概略的に示す回路図である。

【0029】

図 4 と図 3 との比較から明らかなように、本第 2 実施例の同相帰還回路は、上述した第 1 実施例の同相帰還回路におけるインピーダンス素子 31 を、並列接続された抵抗素子 311 および容量素子 312 により構成し、かつ、インピーダンス素子 32 を、並列接続された抵抗素子 321 および容量素子 322 により構成するようになっている。

【実施例 3】

【0030】

図 5 は本発明に係る同相帰還回路の第 3 実施例を概略的に示す回路図である。

【0031】

図 5 と図 3 との比較から明らかなように、本第 3 実施例の同相帰還回路は、前述した第 1 実施例の同相帰還回路のように基準電圧 Vref を差動増幅器 4 の負論理入力端子 NM に直接入力するのではなく、インピーダンス回路 8 を介して負論理入力端子 NM に入力するものである。ここで、インピーダンス回路 8 は、分圧回路 3 と同様の構成とされ、インピーダンス素子 81, 82 および容量素子 83 を備えている。なお、インピーダンス素子 81 および 82 は、これらのインピーダンス素子 81 および 82 を合成した 1 つのインピーダンス素子として構成してもよい。また、分圧回路 3 において、インピーダンス素子 31 および 32 の共通接続ノード（差動増幅器 4 の正論理入力端子 NP）と高電位電源線 Vdd との間に容量素子（34）を設けるように構成した場合には、インピーダンス回路 8 においても、差動増幅器 4 の負論理入力端子 NM と高電位電源線 Vdd との間に容量素子を設けるように構成して対称性を維持した方が好ましい。さらに、例えば、分圧回路 3 において、差動増幅器 4 の正論理入力端子 NP と中間的なバイアス電圧供給線との間に容量素子を設けた場合には、インピーダンス回路 8 においても、差動増幅器 4 の負論理入力端子 NM と上記中間的なバイアス電圧供給線との間に容量素子を設けて対称性を維持するのが好ましい。

【0032】

このように、差動増幅器 4 の正論理入力端子 NP および負論理入力端子 NM に対して同様の回路（分圧回路 3 およびインピーダンス回路 8）を設けることにより、差動増幅回路 4 の入力端子 NP, NM に関する入力インピーダンスの周波数特性を整合させ、差動増幅器 4 の動作の対称性を高くして高周波の電源雑音等に対する回路動作の耐性を向上させることができる。

【実施例 4】

【0033】

図6は本発明に係る同相帰還回路の第4実施例を概略的に示す回路図であり、差動増幅回路4をより詳細に示すものである。

【0034】

図6に示されるように、差動増幅回路4は、能動負荷41を構成するゲートとドレインが共通接続されたpMOSトランジスタ411、412、差動対42を構成するnMOSトランジスタ421、422、および、電流源43を備える。

【実施例5】**【0035】**

図7は本発明に係る同相帰還回路の第5実施例を示す回路図であり、上述した図6の第4実施例において、インピーダンス素子31および32を抵抗素子で構成し、全差動増幅回路2をpMOSトランジスタ21~24、nMOSトランジスタ11~16および電流源20を備えたカスコード型の増幅器として構成している。本第5実施例では、出力同相電圧を制御する端子はpMOSトランジスタ23および24の共通のゲート端子であり、差動増幅回路4の出力電圧がトランジスタ23、24のバイアス電圧VB4としてフィードバックされる。なお、参照符号51および52は、全差動増幅回路2が駆動する負荷容量を示している。

【0036】

次に、上述した本第5実施例の同相帰還回路の動作を説明する。

【0037】

全差動増幅器2の差動出力端OP、OMは、同相帰還回路1へ入力され、分圧回路3により、全差動増幅器2の2つの出力端OP、OMにおける電圧を分圧して同相電圧が検出される。この検出された全差動増幅器2の同相電圧および基準電圧Vrefは差動増幅回路4に入力され、出力電圧VP（バイアス電圧VB4）が全差動増幅回路2にフィードバックされる。すなわち、分圧回路3の出力は、差動対42のトランジスタ421のゲートに供給され、また、基準電圧Vrefは、差動対42のトランジスタ422のゲートに与えられ、この差動対42の出力電流は能動負荷41（トランジスタ411および412）で電圧に変換され、ノードVPの電圧が制御電圧（トランジスタ23および24のバイアス電圧VB4）として全差動増幅器2にフィードバックされる。

【0038】

そして、トランジスタ23および24は、制御電圧（VB4）により両方の電流が同時に制御され、これにより全差動増幅器2の出力同相電圧が制御されることになる。すなわち、回路の同相モードの帰還系は負帰還回路を構成し、全差動増幅器2の同相電圧が同相帰還回路1へ入力される基準電圧Vrefと等しくなるように帰還がかけられる。

【0039】

図8は図7の同相帰還回路の変形例を示す回路図である。

【0040】

図8と図7との比較から明らかなように、本変形例は、上述した第5実施例の差動増幅回路4において、nMOSトランジスタ421、422より成る差動対42を、pMOSトランジスタ421'、422'を有する差動対42'で構成し、かつ、pMOSトランジスタ411、412より成る能動負荷41を、nMOSトランジスタ411'、412'を有する能動負荷41'で構成し、そして、差動対42と低電位電源線Vssとの間に設けた電流源43を、差動対42'と高電位電源線Vddとの間に設けた電流源43'で構成している。なお、差動増幅回路4の出力電圧（VP）は、トランジスタ13および14のバイアス電圧VB1として全差動増幅回路2にフィードバックされる。

【実施例6】**【0041】**

図9は本発明に係る同相帰還回路の第6実施例を示す回路図である。

【0042】

図9と図7との比較から明らかなように、本第6実施例の同相帰還回路は、前述した第

5実施例の分圧回路3における抵抗素子31および32を、それぞれ抵抗素子311および321並びに容量素子312および322で構成すると共に、基準電圧 V_{ref} を、インピーダンス回路8を介して差動増幅回路2の負論理入力端子NMに与えるようになっている。

【0043】

すなわち、分圧回路3において、図7の第5実施例の抵抗素子31(311)および32(321)に対して容量素子312および322を追加することで同相モードの帰還系において分圧回路3が第1の零点を作るために、位相余裕を大きくすることができる。そして、所定の位相余裕を得るために必要な容量素子33の容量値は、第5実施例と第6実施例とを比較した場合、本第6実施例の方がより小さい容量値とすることができ、同相モードの動作をより一層高速に動作させることが可能になる。

【0044】

さらに、分圧回路3における容量素子312および322の容量値に関しては、容量素子33の10分の1程度の小さい容量値としても効果が得られる場合が多く、全差動増幅器2の差動モードの動作速度を、それほど劣化させることはない。

【0045】

差動増幅回路4の負論理入力端子NMには、インピーダンス回路8を介して基準電圧 V_{ref} が与えられている。ここで、分圧回路3における抵抗素子311および321の抵抗値を $R1$ および $R2$ とすると共に、インピーダンス回路8における抵抗素子84の抵抗値を $R3$ とする。さらに、分圧回路3における容量素子312、322および33の容量値を $C1$ 、 $C2$ および CP とすると共に、インピーダンス回路8における容量素子85および83の容量値を $C3$ および CP とすると、 $R3 = R1/2 (= R2/2)$ 、 $C3 = C1 \times 2 (= C2 \times 2)$ 、 $CM = CP$ となるように設定することにより、インピーダンス回路8が示すインピーダンスを分圧回路3の同相インピーダンスと等しくすることができる。

【0046】

このように、インピーダンス回路8を追加することにより、差動対42の2つの入力端子NP、NMに関する入力インピーダンスの周波数特性をより一層整合させることができ、その結果、差動増幅器4の動作の対称性が高くなって、高周波の電源雑音などに対する回路動作の耐性を向上させることができる。

【0047】

図10は本発明に係る同相帰還回路に使用される容量素子の構成例を概略的に示す図であり、図10(a)はダブルポリシリコン容量を示し、図10(b)はMIM(Metal Insulation Metal)容量を示し、図10(c)はポリシリコン-拡散層容量を示し、そして、図10(d)はMOS(Metal Oxide Silicon)容量を示している。

【0048】

本発明の同相帰還回路に使用される容量素子(例えば、容量素子33、34、312、322、83、85)は、図10(a)~図10(d)に示されように、様々な構成のものを適用することができる。すなわち、容量素子は、図10(a)に示されるようなダブルポリシリコン容量、図10(b)に示されるようなMIM容量、図10(c)に示されるようなポリシリコン-拡散層容量、或いは、図10(d)に示されるようなMOS容量等を適用して構成することができる。ここで、参照符号 $V21$ 、 $V22$ はビア、 $C11$ 、 $C12$ ； $C31$ 、 $C32$ ； $C41$ 、 $C42$ はコンタクト、 $DF30$ ； $DF41$ 、 $DF42$ は拡散層、 $IS10$ 、 $IS20$ 、 $IS30$ 、 $IS40$ は絶縁層、 $MT21$ 、 $MT22$ はメタル層、 $PS11$ 、 $PS12$ ； $PS30$ ； $PS40$ はポリシリコン層、そして、 $SB30$ 、 $SB40$ は基板を示している。

【0049】

図10(a)に示されるように、ダブルポリシリコン容量は、コンタクト $C11$ に接続されたポリシリコン層 $PS11$ 、コンタクト $C12$ に接続されたポリシリコン層 $PS12$ 、および、これらポリシリコン層 $PS11$ および $PS12$ に挟まれた絶縁層 $IS10$ により構成される。また、図10(b)に示されるように、MIM容量は、ビア $V21$ に接続

されたメタル層MT21、ビアV22に接続されたメタル層MT22、および、これらメタル層MT21およびMT22に挟まれた絶縁層IS20により構成される。

【0050】

さらに、図10(c)に示されるように、ポリシリコンー拡散層容量は、コンタクトC31に接続された基板SB30における拡散層DF30、コンタクトC32に接続されたポリシリコン層PS30、および、これら拡散層DF30およびポリシリコン層PS30に挟まれた絶縁層IS30により構成される。また、図10(d)に示されるように、MOS容量は、コンタクトC41およびC42に接続された基板SB40における拡散層D(ソース領域およびドレイン領域)F41およびDF42の間の基板(チャネル領域)CH40、コンタクトC43に接続されたポリシリコン層(ゲート)PS40、および、チャネル領域CH40およびポリシリコン層PS40に挟まれた絶縁層IS40により構成される。

【0051】

なお、容量素子は、図10(a)～図10(d)を参照して説明した容量に限定されるものではなく、他に様々なものを適用することができるのはいうまでもない。

【0052】

以上、説明した実施例はあくまでも本発明の単なる例であり、本発明に係る同相帰還回路は種々の応用が可能である。すなわち、例えば、全差動増幅器2の出力同相電圧を制御するためのトランジスタの属性が各実施例と異なる場合には、例えば、図7に示す第5実施例において出力同相電圧を制御する端子はpMOSトランジスタ23および24の共通のゲート端子であるが、図8に示す変形例のように出力同相電圧を制御する端子をnMOSトランジスタ13および14の共通のゲート端子とした場合には、同相帰還回路1における差動増幅器4を、それぞれのトランジスタの属性を反転させた相補的な回路で構成することで対応が可能である。また、全差動増幅器2について、制御電圧に対する出力同相電圧の伝達関数の符号が、上述した各実施例と反転している場合には、同相帰還回路1が出力する制御電圧として出力ノードVPではなく出力ノードVMの電圧を供給することで本質的な構成を変えずに対応することができる。

【0053】

図11はループ伝達関数を求めるために使用したシミュレーション系を示す図であり、上述した図7に示す第5実施例の同相帰還回路の周波数特性を示すためのものである。また、図12は図11のシミュレーション系により得られたループ伝達関数の周波数特性を示すボード線図である。

【0054】

図11は、従来の同相帰還回路の一例を示す図1回路、本発明に係る第5実施例の同相帰還回路を示す図7の回路および本発明に係る第6実施例の同相帰還回路を示す図9の回路を簡略化し、同相モードのループ伝達関数のシミュレーションを行うための系を示すものであり、一巡する伝達関数を求めるために、差動増幅回路4、104の負論理入力端子NPのノードを分割してノードNP'およびノードINの2つに分け、ノードINを入力としたときのノードNPの応答をシミュレーションした。そして、求めたループ伝達関数を、図12のようにボード線図としてプロットした。

【0055】

ここで、図12(a)は利得と周波数の関係を示し、また、図12(b)は位相と周波数の関係を示している。なお、図12(a)および図12(b)において、曲線L11およびL21は図1の同相帰還回路で出力負荷容量が小さい場合の特性を示し、また、曲線L12およびL22は図1の同相帰還回路で出力負荷容量が大きい場合の特性を示す。また、図12(a)および図12(b)において、曲線L13およびL23は図7に示す本第5実施例の同相帰還回路の特性を示し、また、曲線L14およびL24は図9に示す本第6実施例の同相帰還回路の特性を示す。

【0056】

図11において、pMOSトランジスタ200は、例えば、図7の全差動増幅回路2に

における pMOS トランジスタ 23 (24) に対応し、容量素子 500 は、負荷容量 51, 52 に対応し、そして、抵抗素子 301 および容量素子 302 は、例えば、図 7 の同相帰還回路 1 の分圧回路 3 における抵抗素子 31, 32 に対応する。ここで、容量素子 (負荷容量) 500 の容量値を C_L とし、抵抗素子 (出力抵抗) 501 の抵抗値を R_L とし、抵抗素子 301 の抵抗値を R_{10} とし、容量素子 302 の容量値を C_{10} とし、そして、容量素子 303 (図 7 の回路においては分圧回路 3 の容量素子 33 およびノード NP の寄生容量に対応し、また、図 1 の回路においては、ノード NP の寄生容量に対応する) の容量値を C_P とする。なお、比較のために、例えば、図 1 の回路において、負荷容量 151 および 152 の容量値を C_{LP} および C_{LM} とし、抵抗素子 131 および 132 の抵抗値を R_1 および R_2 とする。

【0057】

図 11 のシミュレーション系において、負荷容量 500 の容量値 (出力負荷容量) C_L を、 $C_L = 1 \text{ pF}$ (ここで、 $C_L = C_{LP} + C_{LM}$) とし、出力抵抗 501 の抵抗値 R_L を、 $R_L = 1 / 2\pi \text{ [M}\Omega\text{]}$ (例えば、図 1 における全差動増幅回路 102 の差動出力 OP, OM の出力抵抗を合成したものに相当) とした。従って、例えば、抵抗素子 301 の抵抗値 R_{10} (図 1 における抵抗素子 131 および 132 の抵抗値 R_1 および R_2 の合成抵抗) は、 $R_{10} = 1 / 2\pi \text{ [M}\Omega\text{]}$ となる。

【0058】

そして、まず、図 1 に示す従来の同相帰還回路 101 において、 $C_L = 1 \text{ pF}$, $C_{10} = 0 \text{ pF}$, $C_P = 0.1 \text{ pF}$ とし、出力負荷容量が小さい場合のシミュレーションを行って曲線 L11 および L21 を得た。ここで、容量値 $C_P = 0.1 \text{ pF}$ は、ノード NP (NP') の寄生容量に対応する。なお、同相ループの直流利得 (DC ゲイン) は、60 dB とした。

【0059】

図 1 の従来の同相帰還回路 101 で出力負荷容量が小さい場合のシミュレーション結果において、図 12 (b) の曲線 L21 に示されるように、図 11 に示す回路のノード NO に起因する第 1 の極 P11 が 1 MHz 付近に存在し、また、ノード NP に起因する第 2 の極 P12 が 10 MHz 付近に存在するような位相一周波数特性になっている。さらに、図 12 (a) の曲線 L11 および図 12 (b) の曲線 L21 に示されるように、利得 (ゲイン) が 0 dB となる周波数 (約 100 MHz) において、位相は既にマイナスになっており、位相余裕がなく回路が不安定であることが分かる。

【0060】

また、図 1 の従来の同相帰還回路 101 で出力負荷容量が大きい場合、すなわち、約 50 度の位相余裕 (なお、回路の構成・用途によって、必要な位相余裕は様々であるが、例として 50 度の位相余裕を考える) を持たせて系を安定させるために出力負荷容量を大きくし ($C_L = 100 \text{ pF}$ とし)、出力負荷容量が大きい場合のシミュレーションを行って曲線 L12 および L22 を得た。

【0061】

図 1 の従来の同相帰還回路 101 で出力負荷容量が大きい場合のシミュレーション結果においては、図 12 (a) の曲線 L12 および図 12 (b) の曲線 L22 に示されるように、ゲインが 0 dB となる周波数 (10 MHz 弱) において、位相が約 50 度になっており、位相余裕が得られていることが分かる。すなわち、この状態では、図 12 (b) の曲線 L22 に示されるように、ノード NO に起因する第 1 の極 P21 はおよそ 10 kHz の位置に移動し、また、この第 1 の極 P21 がノード NP に起因する第 2 の極 P22 からずっと低周波側に来ることで、系の位相が 180 度回転する前にゲインが十分に下げられるという効果が得られる。

【0062】

しかしながら、 $C_L = 100 \text{ pF}$ として出力負荷容量を大きくすると、前述したように、この出力負荷容量が差動モードの出力負荷としても作用してしまうため、回路の差動モードの高速動作が妨げられることになる。

【0063】

次に、本発明に係る第5実施例の同相帰還回路のシミュレーションでは、出力負荷容量 C_L を、 $C_L = 1 \text{ pF}$ に戻し、分圧回路3における容量素子33の容量値 C_P を、 $C_P = 250 \text{ pF}$ としてシミュレーションを行い、曲線L13およびL23を得た。

【0064】

図7の本発明に係る第5実施例の同相帰還回路のシミュレーション結果においては、図12(a)の曲線L13および図12(b)の曲線L23に示されるように、ゲインが0 dBとなる周波数(1 MHz 強)において、約50度の位相余裕が得られていることが分かる。このとき、ノードNPに起因する第1の極P31はおよそ1 kHz 強の位置に移動し、また、ノードNOに起因する第2の極P32からずっと低周波側に来ており、系の位相が180度回転する前にゲインが十分に下げられるという効果が得られる。

【0065】

最後に、本発明に係る第6実施例の同相帰還回路のシミュレーションでは、負荷容量 C_L を、 $C_L = 1 \text{ pF}$ とし、分圧回路3における容量C10(すなわち、図9における分圧回路3の容量素子312、322の容量値C1、C2の和)とし、そして、分圧回路3における容量素子33の容量値 C_P を、 $C_P = 250 \text{ pF}$ としてシミュレーションを行い、曲線L13およびL23を得た。

【0066】

図8の本発明に係る第6実施例の同相帰還回路1のシミュレーション結果においては、図12(a)の曲線L14および図12(b)の曲線L24に示されるように、ゲインが0 dBとなる周波数(100 MHz 弱)よりも低い周波数において、位相の最小値(M4)は10 MHz 弱における約50度となっており、これだけの位相余裕が得られることが分かる。

【0067】

また、図9に示す第6実施例では、図1の従来の同相帰還回路で出力負荷容量を大きくした場合、並びに、図7に示す第5実施例と比較して、ゲインが高い周波数まで伸びており、より一層高速な同相モードの動作が可能であることが分かる。ここで、支配的な2つの極であるノードNPに起因する極P41およびノードNOに起因する極P42は、それぞれはば400 kHz および2 MHz の位置に存在しており、そして、およそ10 MHz の位置に抵抗素子301および容量素子302に起因する零点Z4が存在し、位相を戻そうとする効果が得られる。さらに、高周波側で再び位相が減少しているのは、差動増幅回路4の内部の極など、系のより高周波側の極による影響である。

【0068】

次に、本発明に係る同相帰還回路における同相モードの帰還系の安定性について、帰還系のループ伝達関数をもとに考える。

【0069】

例えば、図7に示す第5実施例において、分圧回路3における抵抗素子31および32の抵抗値R1およびR2は、全差動増幅器2の出力抵抗(R_o)に比べて比較的小さい場合、ループ伝達関数の第1の極については全差動増幅器2の出力端に起因する極が支配的な要因であり、第2以降の極は比較的高い周波数領域に存在するため、位相余裕が大きく回路は安定である。

【0070】

しかしながら、同相帰還回路の入力インピーダンスを高くするために、抵抗値R1およびR2を大きく設定すると、差動対42の一方の入力であるノードNPに起因する極の周波数が低くなり、第1の極と第2の極が周波数領域で近づき、回路の同相モードの帰還系の安定性が低下する。

【0071】

そこで、本発明に係る同相帰還回路の各実施例では、分圧回路3に容量素子33(34)を追加することにより、ノードNPに起因する極を低周波数側に移動させ、ループ伝達関数の第1の極において端子NPに起因する極が支配的な要因であるようにして、同相モ

ードの帰還系を安定化することができる。

【0072】

なお、追加した容量素子 33 (34) は、全差動増幅器 2 の出力を分圧する分圧回路 3 の中点 (ノード NP) に接続されているため、差動モードの負荷容量にはならない。従って、この容量素子 33 (34) により全差動増幅回路 2 の差動モードの動作速度が損なわれることはない。

【0073】

さらに、本発明に係る同相帰還回路の各実施例において、差動対 42 の一方の入力端子 (ノード NP) の電圧は、同相モードの負帰還回路により常に他方の入力端子 (ノード NM) の基準電圧 V_{ref} の近くに保持されるため、差動対 42 の入力電圧の変動は非常に小さい。従って、差動対 42 を全差動増幅器 2 の差動振幅によらず常に正常に動作させることができ、同相帰還回路 1 の入力電圧範囲が制限されることはない。

【0074】

(付記 1) 全差動増幅器の同相モードの動作点を規定する制御電圧を出力する同相帰還回路であって、

前記全差動増幅器の 2 つの出力端における電圧を分圧する分圧回路と、

前記分圧回路の出力電圧と基準電圧とを入力とする差動増幅器とを備え、該差動増幅器の出力電圧を前記全差動増幅器の制御電圧としたことを特徴とする同相帰還回路。

【0075】

(付記 2) 付記 1 に記載の同相帰還回路において、

前記差動増幅器は、前記分圧回路の中点の電圧と前記基準電圧とを入力とすることを特徴とする同相帰還回路。

【0076】

(付記 3) 付記 1 に記載の同相帰還回路において、

前記差動増幅器の出力電圧は、任意の符号で増幅または減衰されることを特徴とする同相帰還回路。

【0077】

(付記 4) 付記 3 に記載の同相帰還回路において、

前記差動増幅器の増幅率の符号は、前記全差動増幅器の制御電圧に対する出力同相電圧の伝達関数より、回路の同相モードの帰還系が負帰還系となるように選ばれることを特徴とする同相帰還回路。

【0078】

(付記 5) 付記 1 に記載の同相帰還回路において、前記分圧回路は、

前記全差動増幅器の 2 つの出力端を分圧する 2 つのインピーダンス回路と、

該インピーダンス回路で分圧された中点とそれぞれ固定電圧との間に接続される 1 つ以上の容量素子を備えることを特徴とする同相帰還回路。

【0079】

(付記 6) 付記 5 に記載の同相帰還回路において、前記分圧回路は、

前記インピーダンス回路で分圧された中点と低電位電源線との間に接続された容量素子を備えることを特徴とする同相帰還回路。

【0080】

(付記 7) 付記 5 に記載の同相帰還回路において、前記分圧回路は、

前記インピーダンス回路で分圧された中点と高電位電源線との間に接続された容量素子を備えることを特徴とする同相帰還回路。

【0081】

(付記 8) 付記 5 に記載の同相帰還回路において、

前記インピーダンス回路は、並列接続された抵抗素子および容量素子を備えることを特徴とする同相帰還回路。

【0082】

(付記 9) 付記 5 に記載の同相帰還回路において、前記インピーダンス回路は、前記

分圧回路と同等の構成を有し、前記差動増幅器と前記基準電圧の入力端との間に挿入されることを特徴とする同相帰還回路。

【0083】

(付記10) 付記5に記載の同相帰還回路において、前記インピーダンス回路は、前記分圧回路と同等のインピーダンスを示すように構成され、前記差動増幅器と前記基準電圧の入力端との間に挿入されることを特徴とする同相帰還回路。

【0084】

(付記11) 付記5に記載の同相帰還回路において、
同相モードのループ伝達関数における第1の極は、前記分圧回路のインピーダンス回路と前記容量素子に起因する極が支配的な要因となっていることを特徴とする同相帰還回路。

【0085】

(付記12) 付記5に記載の同相帰還回路において、同相モードのループ伝達関数における第1の零点は、前記分圧回路に起因する零点が支配的な要因となっており、単位利得周波数の近傍またはより低周波側に位置していることを特徴とする同相帰還回路。

【0086】

(付記13) 付記1～12のいずれか1項に記載の同相帰還回路において、
前記差動増幅器は、差動対および能動負荷を備え、該能動負荷が出力する電圧を前記全差動増幅器の制御電圧としたことを特徴とする同相帰還回路。

【0087】

(付記14) 全差動増幅器と、付記1～13のいずれか1項に記載の同相帰還回路とを備えることを特徴とする差動演算増幅回路。

【産業上の利用可能性】

【0088】

本発明は、全差動増幅器の同相モード（コモンモード）の動作点を規定する制御電圧を出力し、高い入力インピーダンスが要求される同相帰還回路に適用することができる。この同相帰還回路は、分圧に用いるインピーダンス素子の抵抗値を大きく設定しても、差動モードの高速動作が妨げられることがなく、同相モードの帰還系の安定性を確保することができる。

【図面の簡単な説明】

【0089】

【図1】 従来の同相帰還回路の一例を示す回路図である。

【図2】 従来の同相帰還回路の他の例を示す回路図である。

【図3】 本発明に係る同相帰還回路の第1実施例を概略的に示す回路図である。

【図4】 本発明に係る同相帰還回路の第2実施例を概略的に示す回路図である。

【図5】 本発明に係る同相帰還回路の第3実施例を概略的に示す回路図である。

【図6】 本発明に係る同相帰還回路の第4実施例を概略的に示す回路図である。

【図7】 本発明に係る同相帰還回路の第5実施例を示す回路図である。

【図8】 図7の同相帰還回路の変形例を示す回路図である。

【図9】 本発明に係る同相帰還回路の第6実施例を示す回路図である。

【図10】 本発明に係る同相帰還回路に使用される容量素子の構成例を概略的に示す図である。

【図11】 ループ伝達関数を求めるために使用したシミュレーション系を示す図である。

【図12】 図11のシミュレーション系により得られたループ伝達関数の周波数特性を示すボード線図である。

【符号の説明】

【0090】

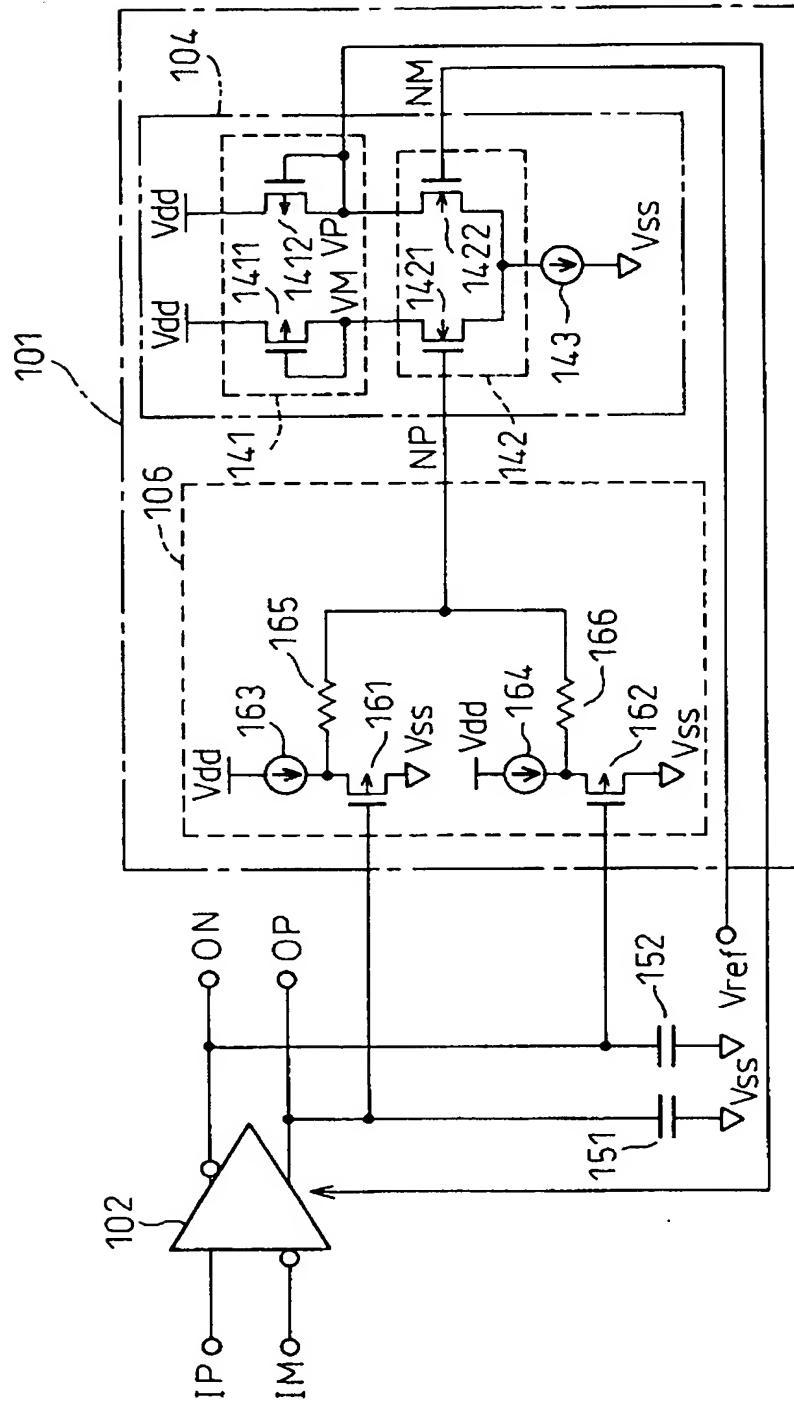
- 1…同相帰還回路
- 2…全差動増幅器

3…分圧回路
4…差動増幅器
8…インピーダンス回路
2 0, 4 3…定電流源
3 1, 3 2…インピーダンス素子（抵抗素子）
3 3, 3 4, 8 3…容量素子
4 1, 4 1'…能動負荷
4 2, 4 2'…差動対
5 1, 5 2…負荷容量
C 1 1, C 1 2 ; C 3 1, C 3 2 ; C 4 1, C 4 2…コンタクト
CH 4 0…チャネル領域
DF 3 0 ; DF 4 1, DF 4 2…拡散層
IS 1 0, IS 2 0, IS 3 0, IS 4 0…絶縁層
MT 2 1, MT 2 2…メタル層
PS 1 1, PS 1 2 ; PS 3 0 ; PS 4 0…ポリシリコン層
SB 3 0, SB 4 0…基板
V 2 1, V 2 2…ビア

【図 2】

図 2

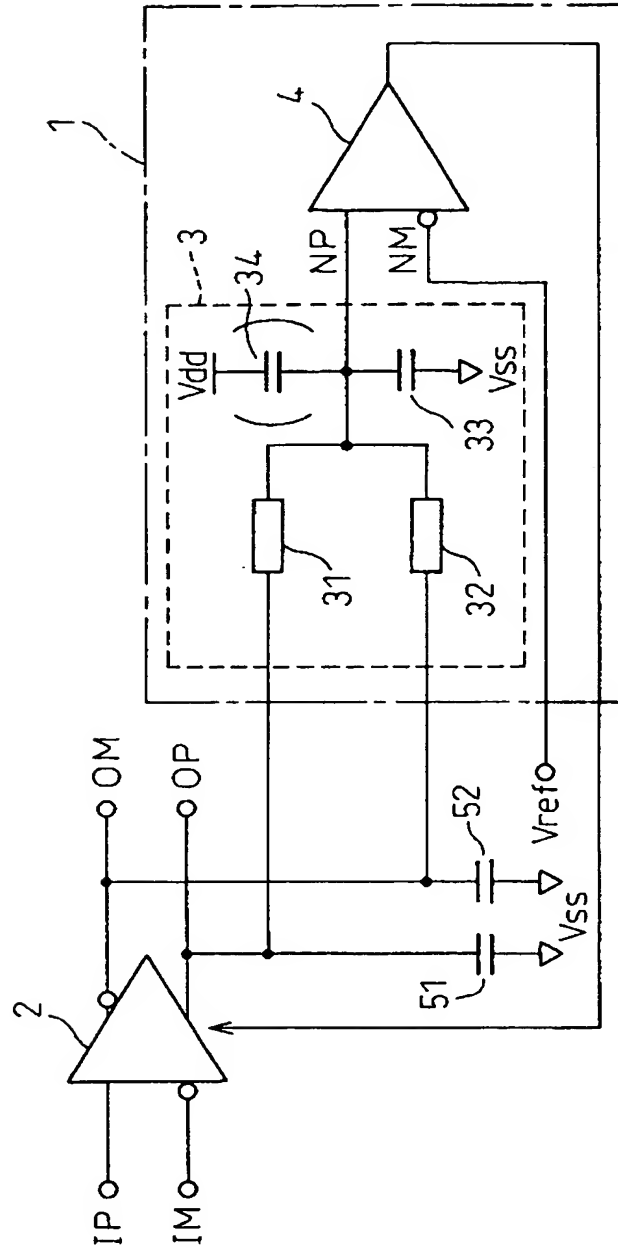
従来の同相帰還回路の他の例を示す回路図



【図 3】

図 3

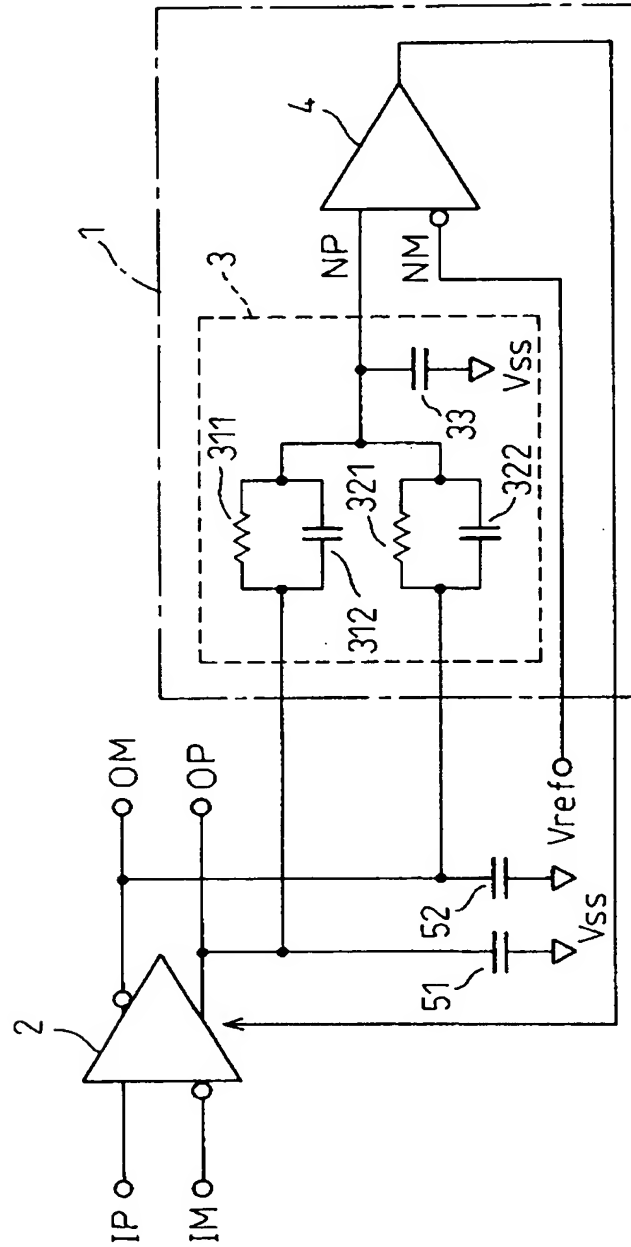
本発明に係る同相帰還回路の第 1 実施例を概略的に示す回路図



【図 4】

図 4

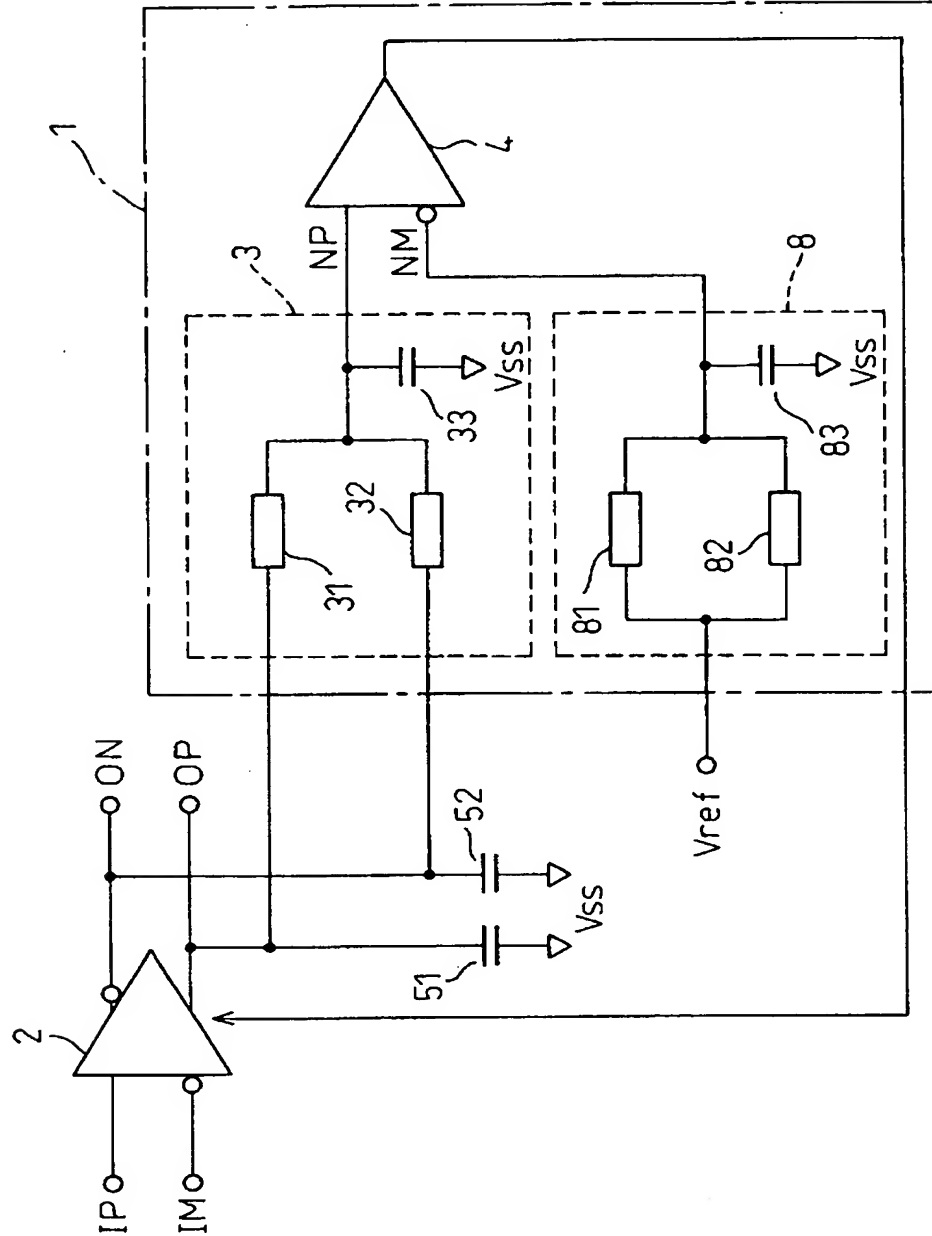
本発明に係る同相帰還回路の第 2 実施例を概略的に示す回路図



【図 5】

図 5

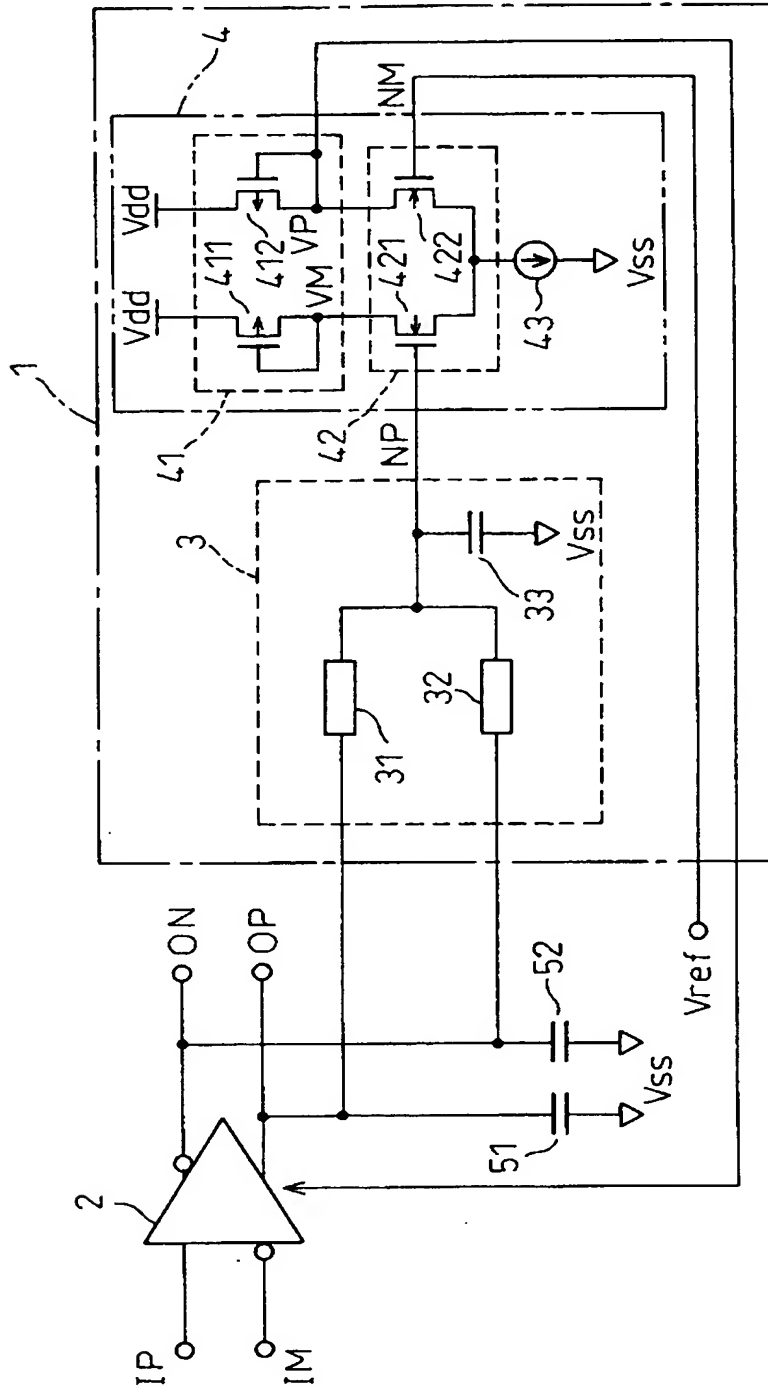
本発明に係る同相帰還回路の第 3 実施例を概略的に示す回路図



【図 6】

図 6

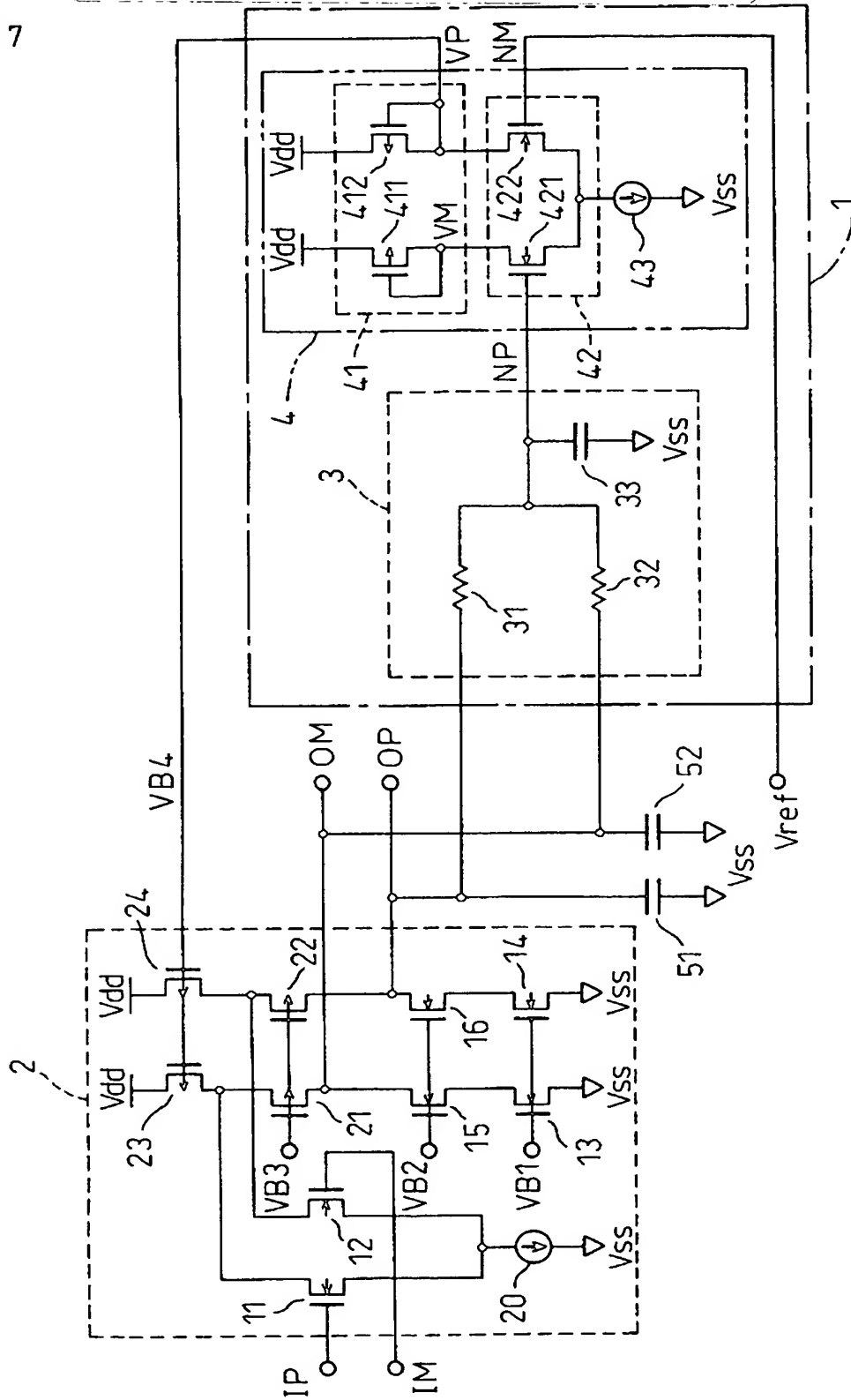
本発明に係る同相帰還回路の第 4 実施例を概略的に示す回路図



【図 7】

本発明に係る同相帰還回路の第 5 実施例を示す回路図

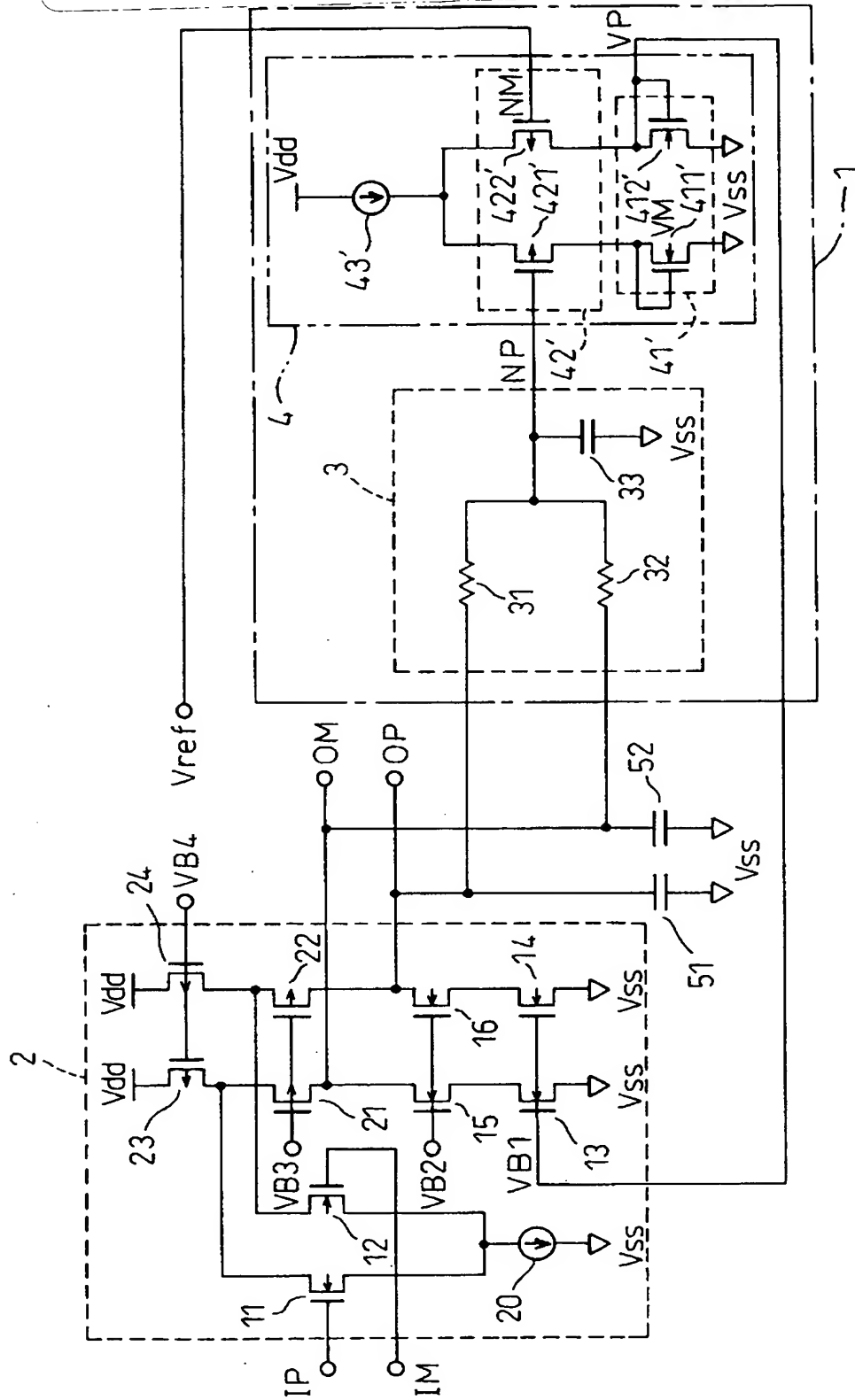
図 7



【図 8】

図 8

図 7 の同相帰還回路の変形例を示す回路図

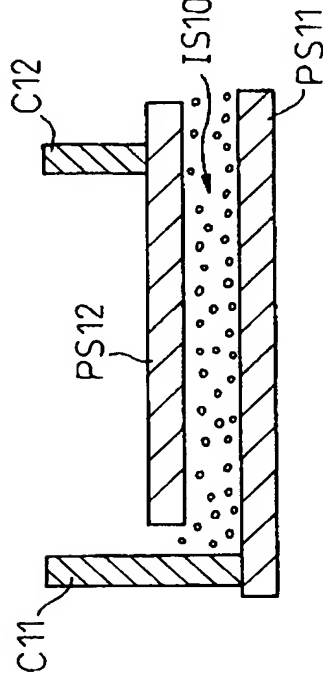


【図 10】

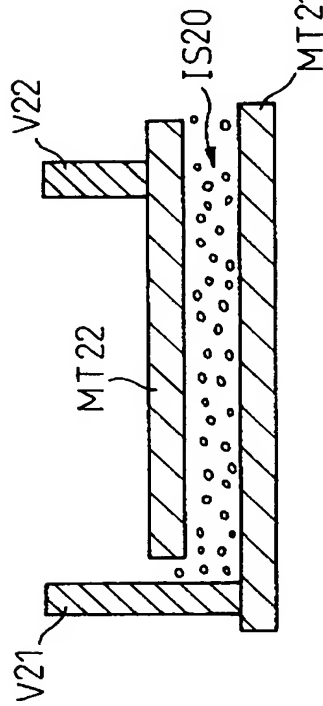
本発明に係る同相帰還回路に使用される容量素子の構成例を概略的に示す図

図 10

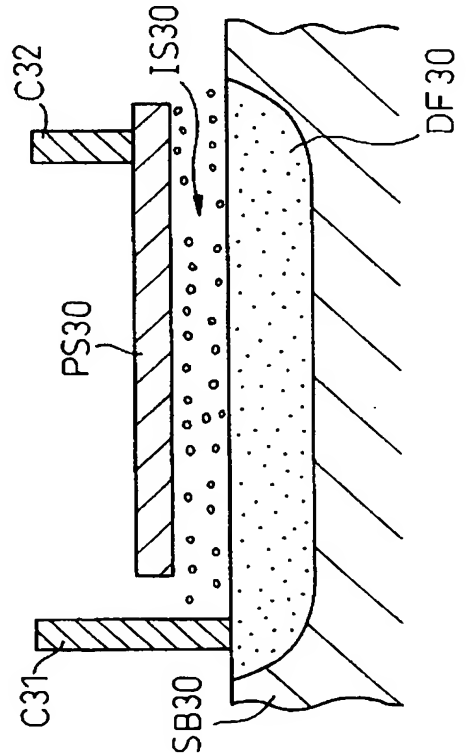
(a) ダブルポリシリコン容量



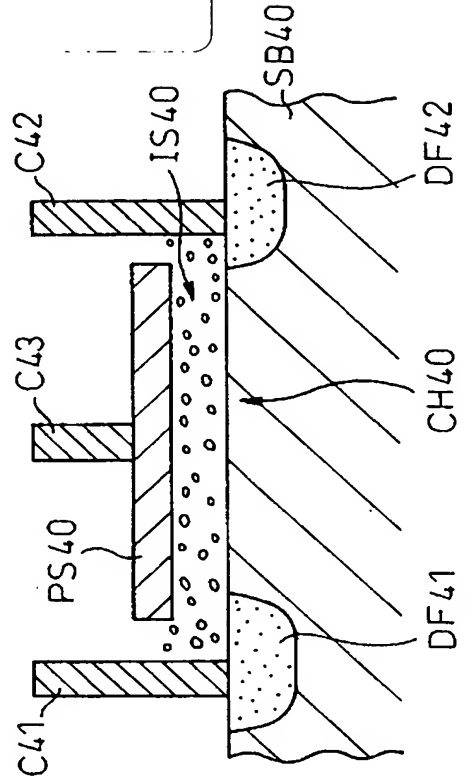
(b) MIM容量



(c) ポリシリコン-拡散層容量



(d) MOS容量

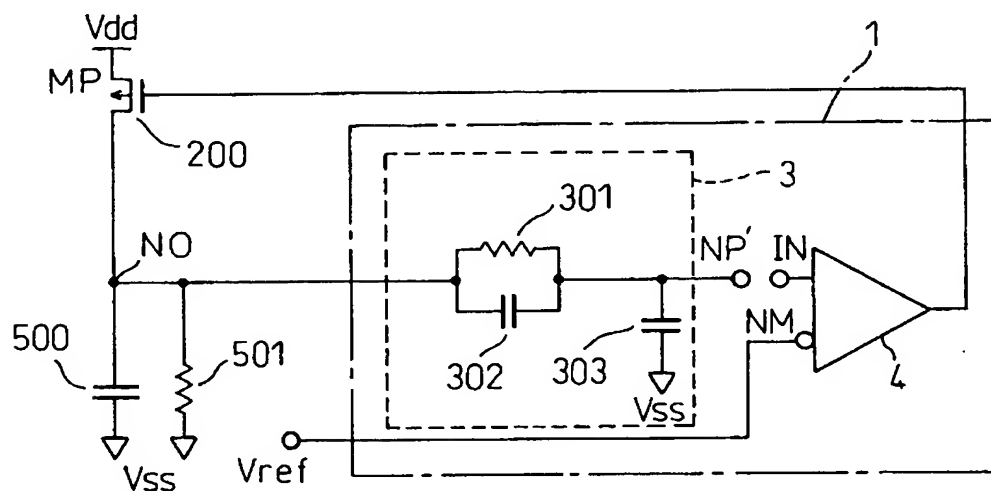


【図 1 1】

Serial No.: New Application Filed: February 13, 2004
Inventor: KUDO et al

図 11

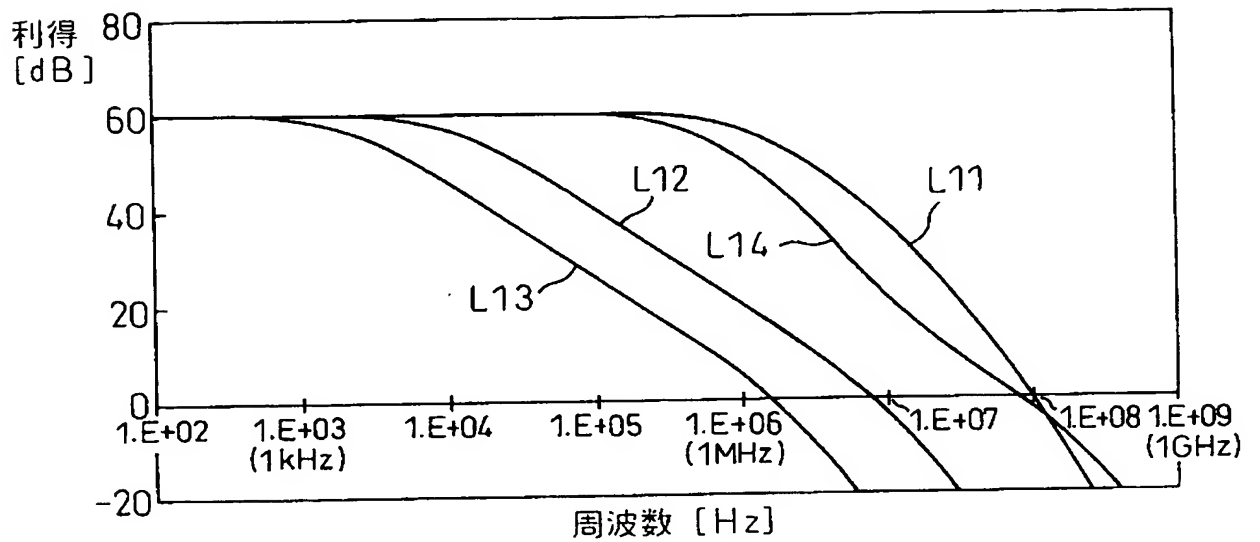
ループ伝達関数を求めるために使用したシミュレーション系を示す図



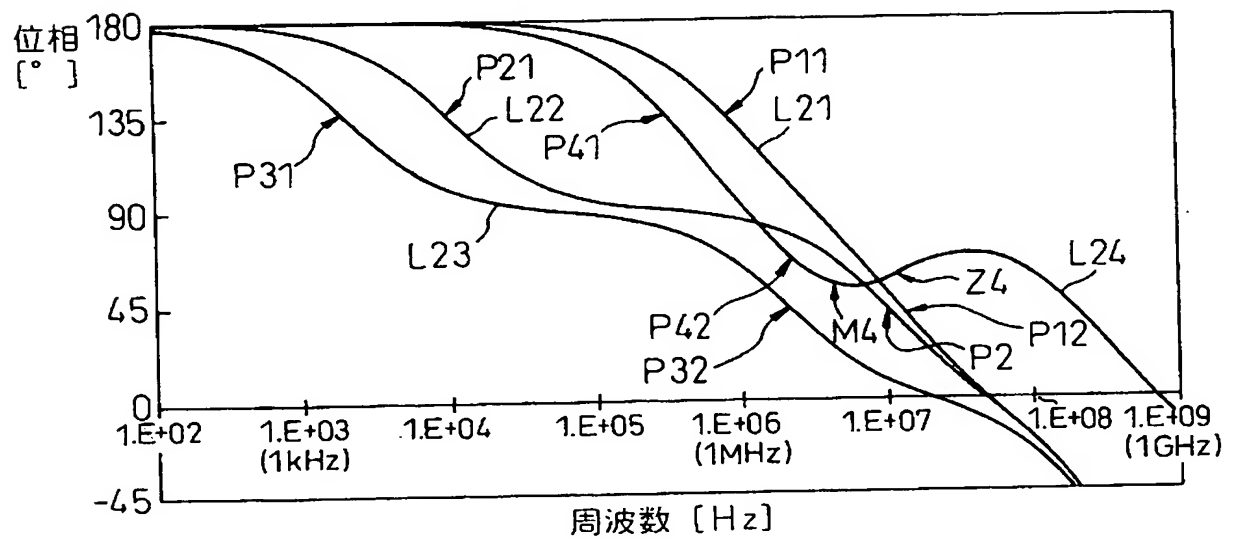
【図 12】

図 12 図11のシミュレーション系により得られたループ伝達関数の周波数特性を示すボード線図

(a)



(b)



【書類名】 要約書**【要約】**

【課題】 従来、同相帰還回路には高い入力インピーダンスが要求されているが、分圧に用いるインピーダンス素子の抵抗値を大きく設定すると、差動モードの高速動作が妨げられ、同相モードの帰還系の安定性が低下することになる。

【解決手段】 全差動増幅器 2 の同相モードの動作点を規定する制御電圧を出力する同相帰還回路 1 であって、前記全差動増幅器の 2 つの出力端 O P, O M における電圧を分圧する分圧回路 3 と、前記分圧回路の出力電圧 (N P) と基準電圧 V ref (N M) とを入力とする差動増幅器 4 とを備え、該差動増幅器の出力電圧を前記全差動増幅器の制御電圧とするように構成する。

【選択図】 図 3



特願 2 0 0 3 - 3 8 9 5 1 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社